**國立清華大學**

**超大型積體電路設計VLSI Design**



**任課教授 : 謝志成 教授**

**組別 : 第27組**

**學生 : 趙丞清 蕭方凱**

**學號 : 111063549 111063548**

**繳交日期 : 112年1月16號**

**目錄**

[Block Diagram 4](#_Toc124699823)

[1. Draw top view of your system design and explain why you choose this architecture and how your design operated. 4](#_Toc124699824)

[2. Draw sub-block in gate level and transistor level hierarchical and explain why you use them. 4](#_Toc124699825)

[Layout 7](#_Toc124699826)

[1. Print-screen the whole design (with size & area) and sub-blocks. 7](#_Toc124699827)

[2. DRC summary with no error (excluding the optional rules). 9](#_Toc124699828)

[3. LVS report. 9](#_Toc124699829)

[Simulation Results 10](#_Toc124699830)

[1. Pre-sim result and post-sim results, need to compare and explain the difference between them. 10](#_Toc124699831)

[2. Waveforms (cursor is needed) and tables (filled with measured data) for all modulus modes. 11](#_Toc124699832)

[Conclusion 15](#_Toc124699833)

**圖目錄**

[Fig 1 Multi-Modulus Frequency Divider 4](#_Toc124699559)

[Fig 2 2/3 Modulus Frequency Divider 4](#_Toc124699560)

[Fig 3 Flip-Flop 4](#_Toc124699561)

[Fig 4 inverter 5](https://365nthu-my.sharepoint.com/personal/111063549_office365_nthu_edu_tw/Documents/HW5_111063548_蕭方凱.docx#_Toc124699562)

[Fig 5 2 input NAND 5](https://365nthu-my.sharepoint.com/personal/111063549_office365_nthu_edu_tw/Documents/HW5_111063548_蕭方凱.docx#_Toc124699563)

[Fig 6 2/3除頻器電路架構 5](#_Toc124699564)

[Fig 7 2/3除頻器輸出時序圖 5](#_Toc124699565)

[Fig 8 Multi-Modulus Frequency Divider電路架構 6](#_Toc124699566)

[Fig 9 2 input NAND Layout 7](https://365nthu-my.sharepoint.com/personal/111063549_office365_nthu_edu_tw/Documents/HW5_111063548_蕭方凱.docx#_Toc124699567)

[Fig 10 Inverter Layout 7](https://365nthu-my.sharepoint.com/personal/111063549_office365_nthu_edu_tw/Documents/HW5_111063548_蕭方凱.docx#_Toc124699568)

[Fig 11 DFF Layout 7](#_Toc124699569)

[Fig 12 /2/3 Divider 8](#_Toc124699570)

[Fig 13 Final - /16/17/18/19 Divider Layout 8](#_Toc124699571)

[Fig 14 DRC result 9](#_Toc124699572)

[Fig 15 LVS report 9](#_Toc124699573)

[Fig 16 pre-sim TT corner 11](#_Toc124699574)

[Fig 17 pre-sim SF corner 11](#_Toc124699575)

[Fig 18 pre-sim FS corner 11](#_Toc124699576)

[Fig 19 pre-sim FF corner 12](#_Toc124699577)

[Fig 20 pre-sim SS corner 12](#_Toc124699578)

[Fig 21 post-sim TT corner 13](#_Toc124699579)

[Fig 22 post-sim SF corner 13](#_Toc124699580)

[Fig 23 post-sim FS corner 13](#_Toc124699581)

[Fig 24 post-sim FF corner 14](#_Toc124699582)

[Fig 25 post-sim SS corner 14](#_Toc124699583)

# Block Diagram

## Draw top view of your system design and explain why you choose this architecture and how your design operated.

## Draw sub-block in gate level and transistor level hierarchical and explain why you use them.

一張含有 文字, 光, 夜晚 的圖片

自動產生的描述

Fig Multi-Modulus Frequency Divider

一張含有 文字, 光, 室外, 黑色 的圖片

自動產生的描述

Fig 2/3 Modulus Frequency Divider

一張含有 文字, 室外, 光, 黑色 的圖片

自動產生的描述

Fig Flip-Flop

一張含有 文字, 光, 向量圖形, 交通號誌 的圖片

自動產生的描述一張含有 文字, 光 的圖片

自動產生的描述

Fig inverter

Fig 2 input NAND



Fig 2/3除頻器電路架構

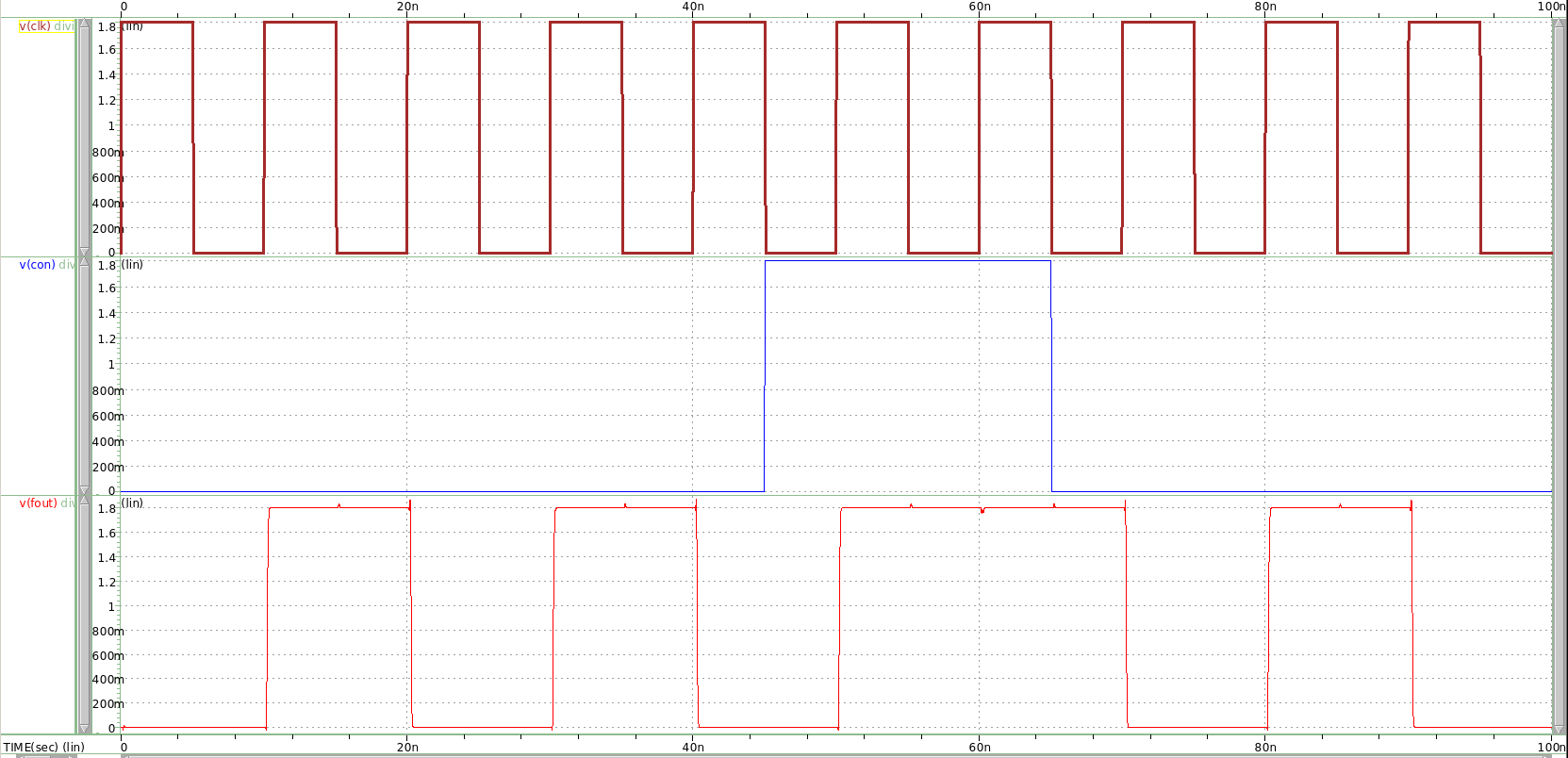


Fig 2/3除頻器輸出時序圖



Fig Multi-Modulus Frequency Divider電路架構

# 設計方法

1. **尺寸架構設計**

一開始測量unit inverter的βratio() 為4.15，因此若要設計最小Delay，2-input NAND的pmos size 及 nmos size比例應為2:2，但考量到Layout面積及功耗，我們先將2-input NAND size設計成0.3μ/0.3μ，inverter的部分則為0.3μ/0.3μ，實際模擬後此比例也可以得到最小的Delay，但是在部分Corner下電路無法順利運作，推測是因size越小等效電阻越大電流不夠大，於是我們將NAND的尺寸調成0.6μ/0.6μ，Inverter則維持原比例，調整後電路在5個corner下接可正常運作。

1. **電路架構設計**

Flip-Flop電路如fig.3所示，為hw4作業的positive-edge-triggered D flip-

flop，運用本學期所學到的內容，再將尺寸更進一步的縮小，但缺點是電晶體數量太多，造成的延遲也較大，所以性能表現上沒有特別理想，另外layout也造成面積過大的問題。

除頻器的電路圖如fig.6，由四個2/3 cell串接組成，除第四級外，每級都會由下一級的回授得到控制，並藉由第一級以及第二級的控制訊號來控制除數，除數可以表示為:，因此藉由控制C0和C1的訓號就可以改變除數16、17、18、19倍的頻率。

2/3除頻器由模態控制端(0和1)控制除以2或3，只有在Con及Modin都為1時，其內部電路才會多一個週期的訊號，使輸出除以3，fig.6為一個2/3除頻器的架構，電路由四個flip-flop以及2-input NAND所組成，架構由三個輸入，分別為CLK(輸入頻率)、Modin(模態輸入)、Con(數位控制訊號)，以及兩個輸出分別為Fout(頻率輸出端)，前端模態輸出端Modout，此架構可以分成兩個部分，第一部分為預除頻邏輯(Prescaler Logic) ，第二部分為回授邏輯(End-of-Cycle Logic)。預除頻邏輯(Prescaler Logic)在一般情況下，為一個除以二的結構，當若Modin接收到來自後級的輸出訊號且數位邏輯C=1時，則就會變成一個除以三的移頻器，如fig.7波形所示。

# Layout

### Print-screen the whole design (with size & area) and sub-blocks.

一張含有 文字, 時鐘 的圖片

自動產生的描述一張含有 文字, 時鐘 的圖片

自動產生的描述

Fig 2 input NAND Layout

Fig Inverter Layout

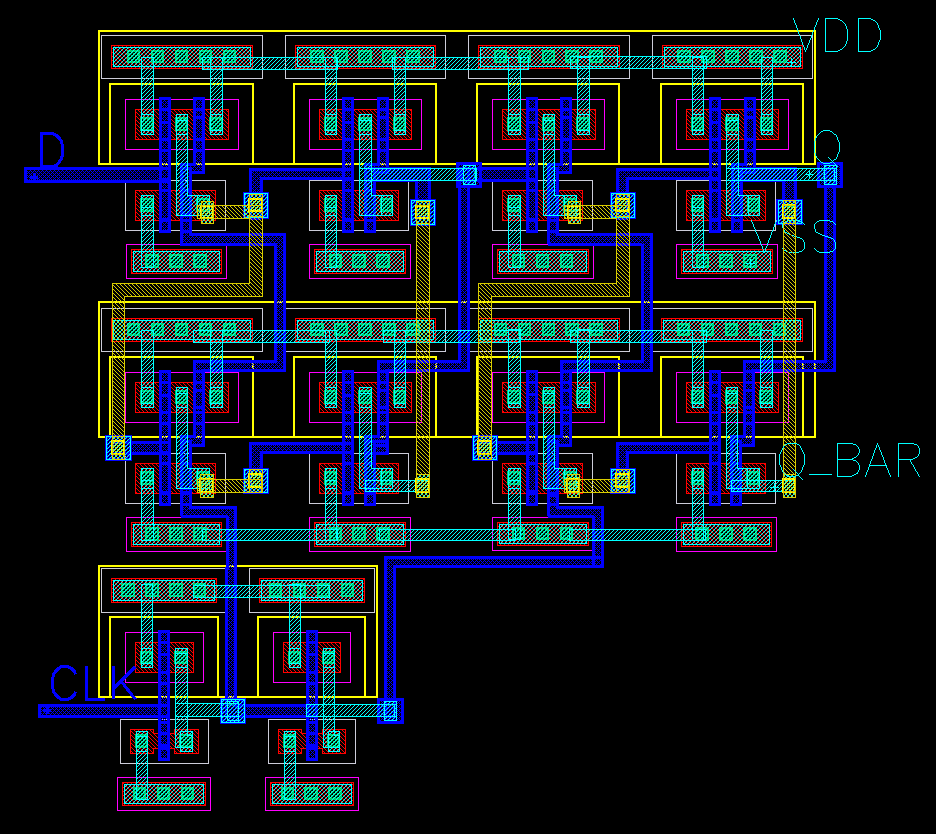


Fig DFF Layout

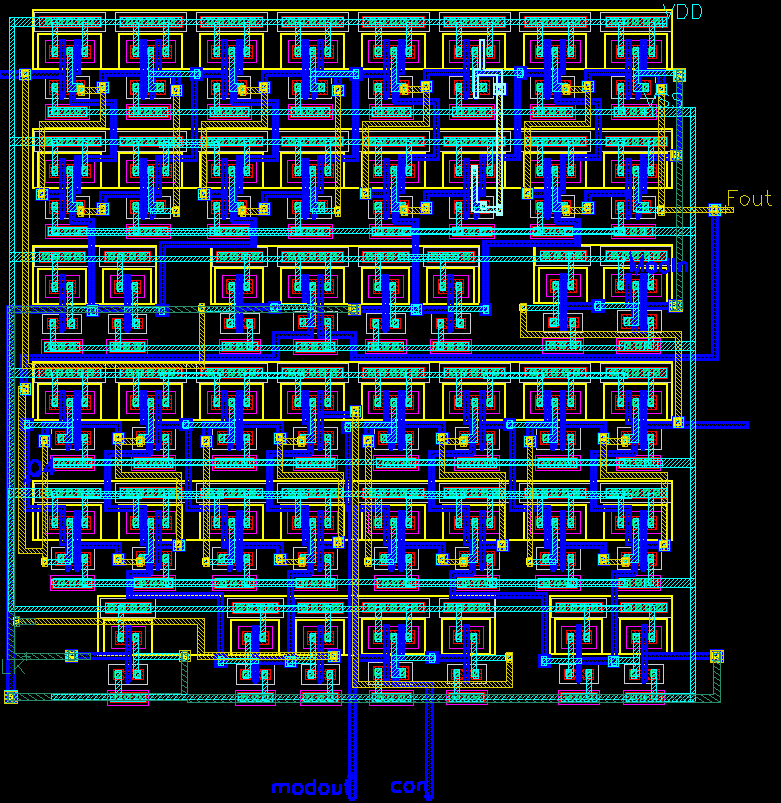


Fig /2/3 Divider

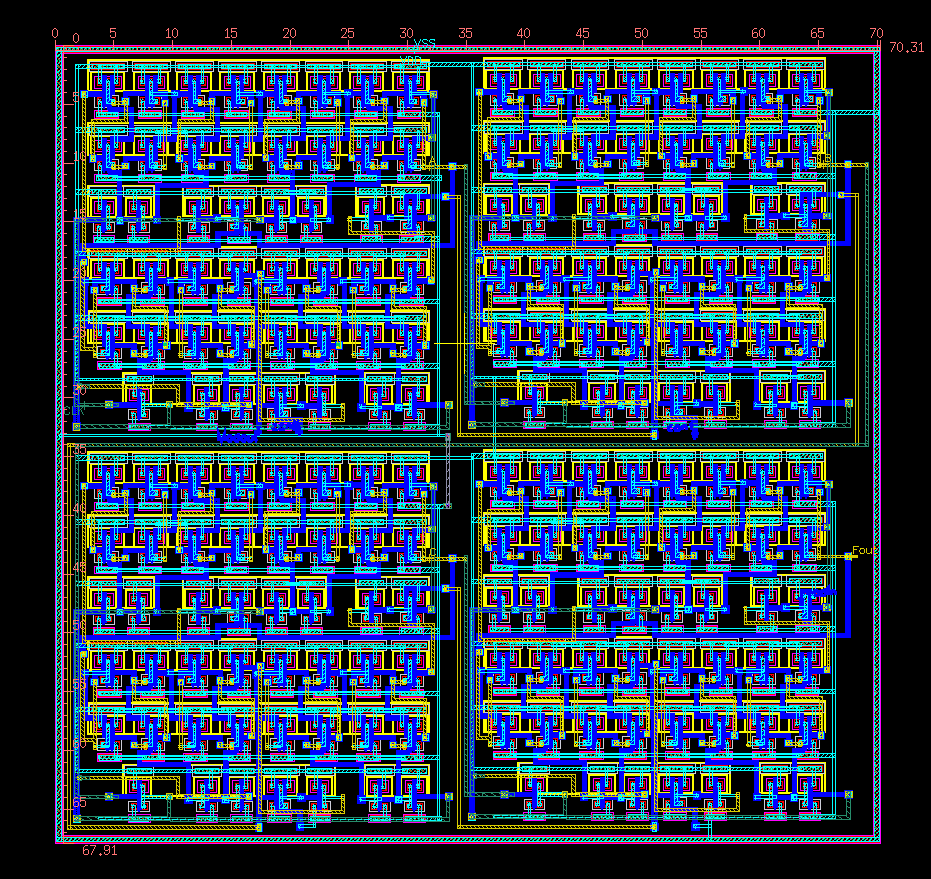


Fig Final - /16/17/18/19 Divider Layout

**Area = 70.21 x 67.67 =4751.111μm2**

### DRC summary with no error (excluding the optional rules).

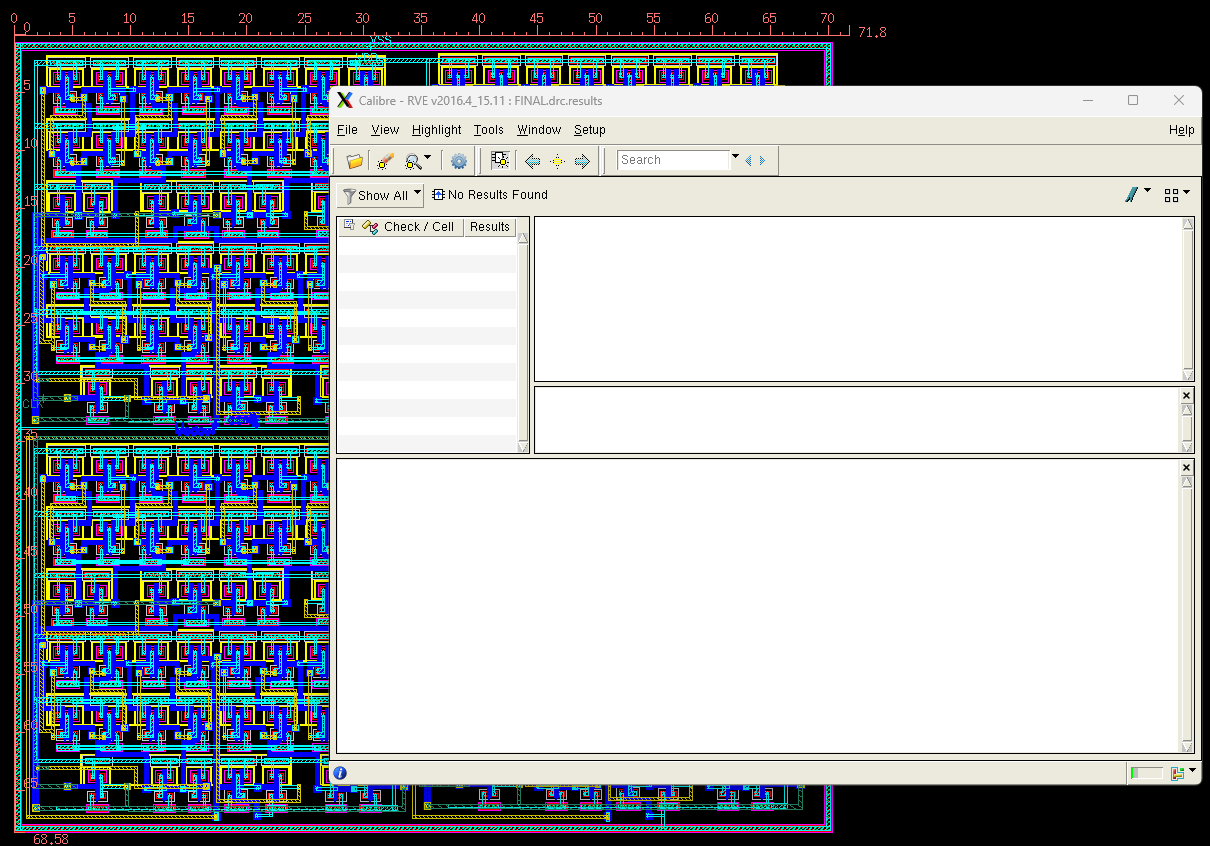


Fig DRC result

### LVS report.

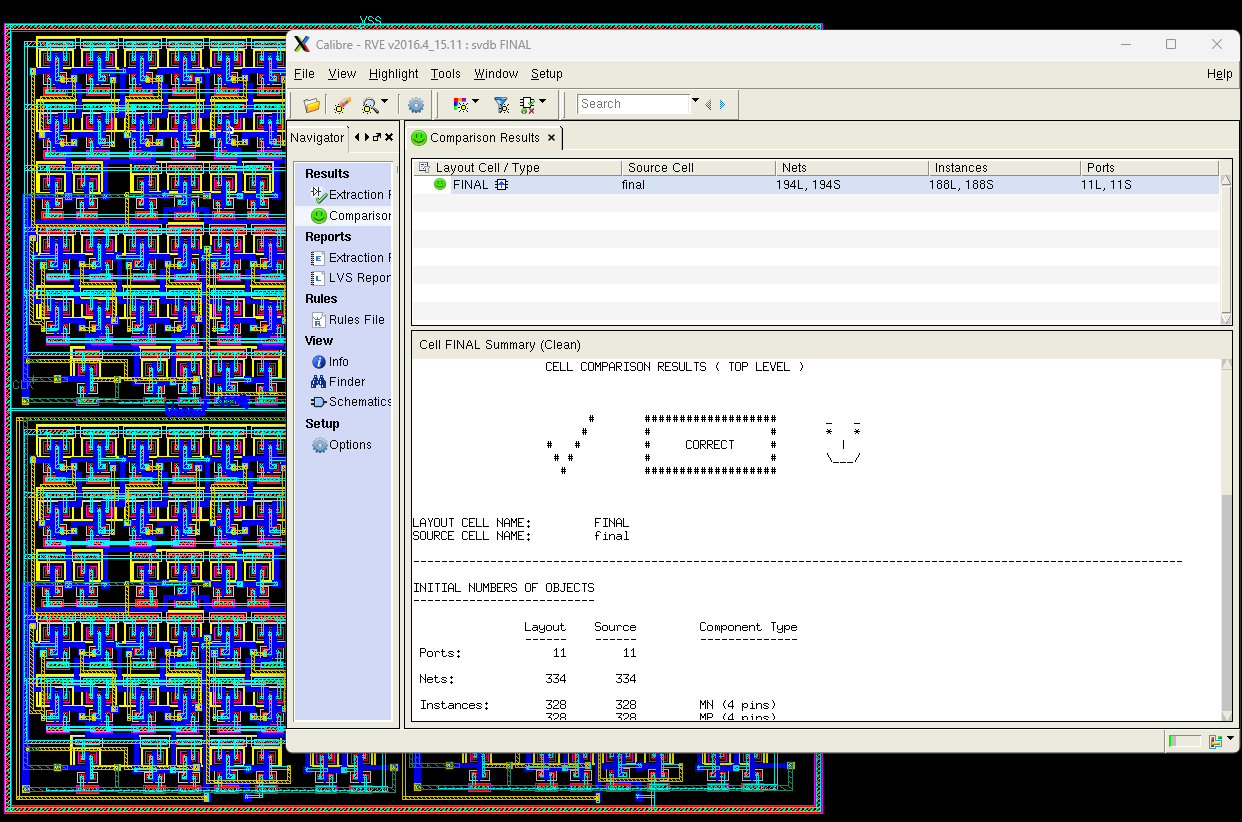


Fig LVS report

# Simulation Results

#### Pre-sim result and post-sim results, need to compare and explain the difference between them.

**(MHz)**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Corner | TT | SF | FS | SS | FF |
| Pre-sim | 943.4 | 384.62 | 925.3 | 312.5 | 952.38 |
| Post-sim | 714.3 | 286 | 690 | 243.9 | 917.43 |

**Power:**

**TT**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **mode** | **16** | **17** | **18** | **19** | **Avg** |
| **Pre-sim** | 1.2174mW | 1.1838mW | 1.1874mW | 1.159mW | 1.186.9mW |
| **Post-sim** | 1.1247mW | 1.0444mW | 1.0958mW | 1.0689mW | 1.0835mW |

**SF**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **mode** | **16** | **17** | **18** | **19** | **Avg** |
| **Pre-sim** | 0.5675mW | 0.554mW | 0.5577mW | 0.5488mW | 0.5582mW |
| **Post-sim** | 0.5015mW | 0.4921mW | 0.4929mW | 0.4976mW | 0.496mW |

**FS**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **mode** | **16** | **17** | **18** | **19** | **Avg** |
| Pre-sim | 1.197mW | 1.164mW | 1.168mW | 1.140mW | 1.167mW |
| Post-sim | 1.088mW | 1.057mW | 1.061mW | 1.035mW | 1.060mW |

**SS**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **mode** | **16** | **17** | **18** | **19** | **Avg** |
| **Pre-sim** | 0.4798mW | 0.467mW | 0.468mW | 0.466mW | 0.470mW |
| **Post-sim** | 0.435mW | 0.424mW | 0.424mW | 0.428mW | 0.428mW |

**FF**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **mode** | **16** | **17** | **18** | **19** | **Avg** |
| **Pre-sim** | 1.2539mW | 1.2197mW | 1224mW | 1197.3mW | 1.2237mW |
| **Post-sim** | 1.4393mW | 1.4390mW | 1.4479mW | 1.4035mW | 1.4324mW |

#### Waveforms (cursor is needed) and tables (filled with measured data) for all modulus modes.

**Pre-sim:**

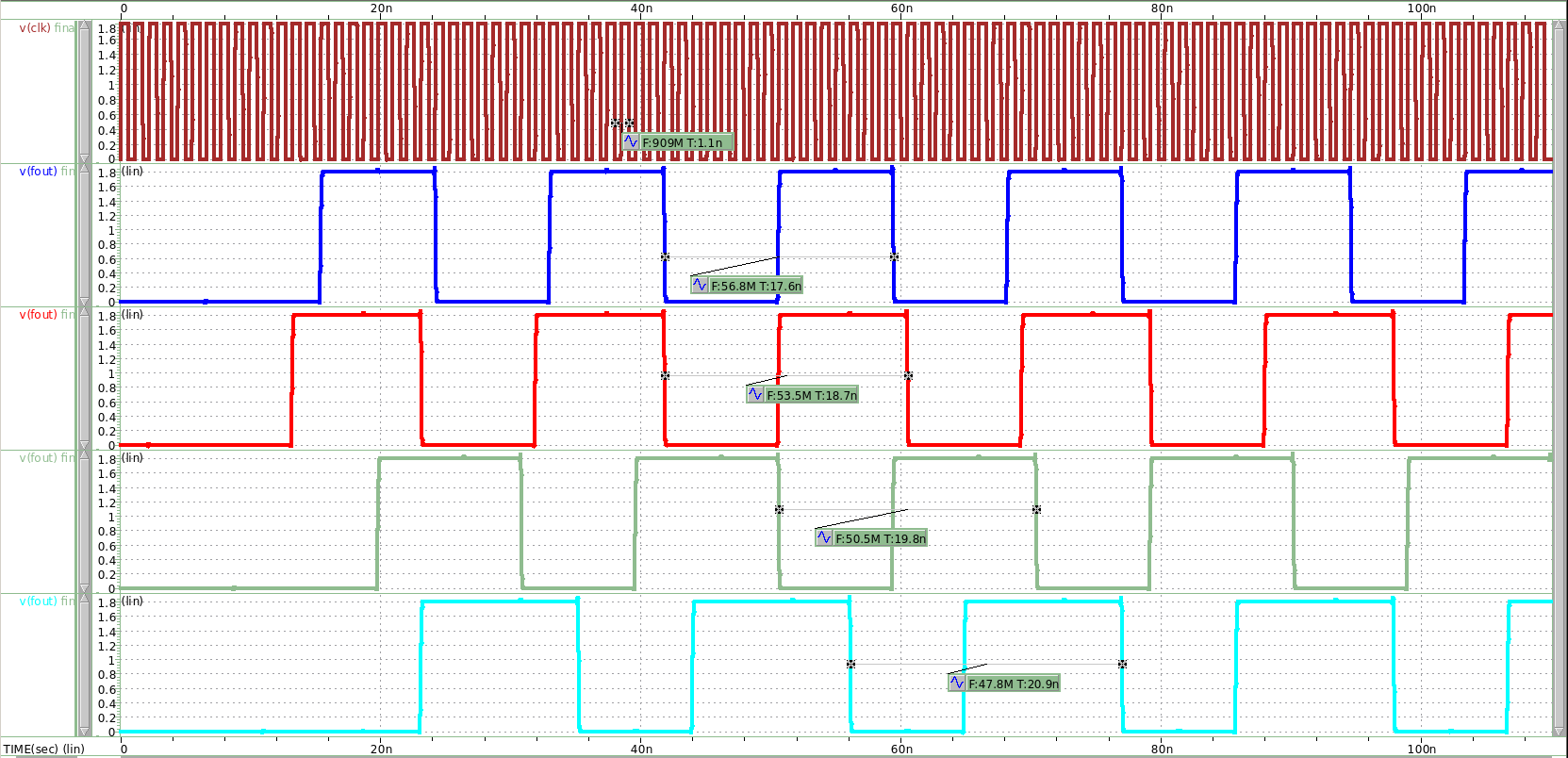


Fig pre-sim TT corner

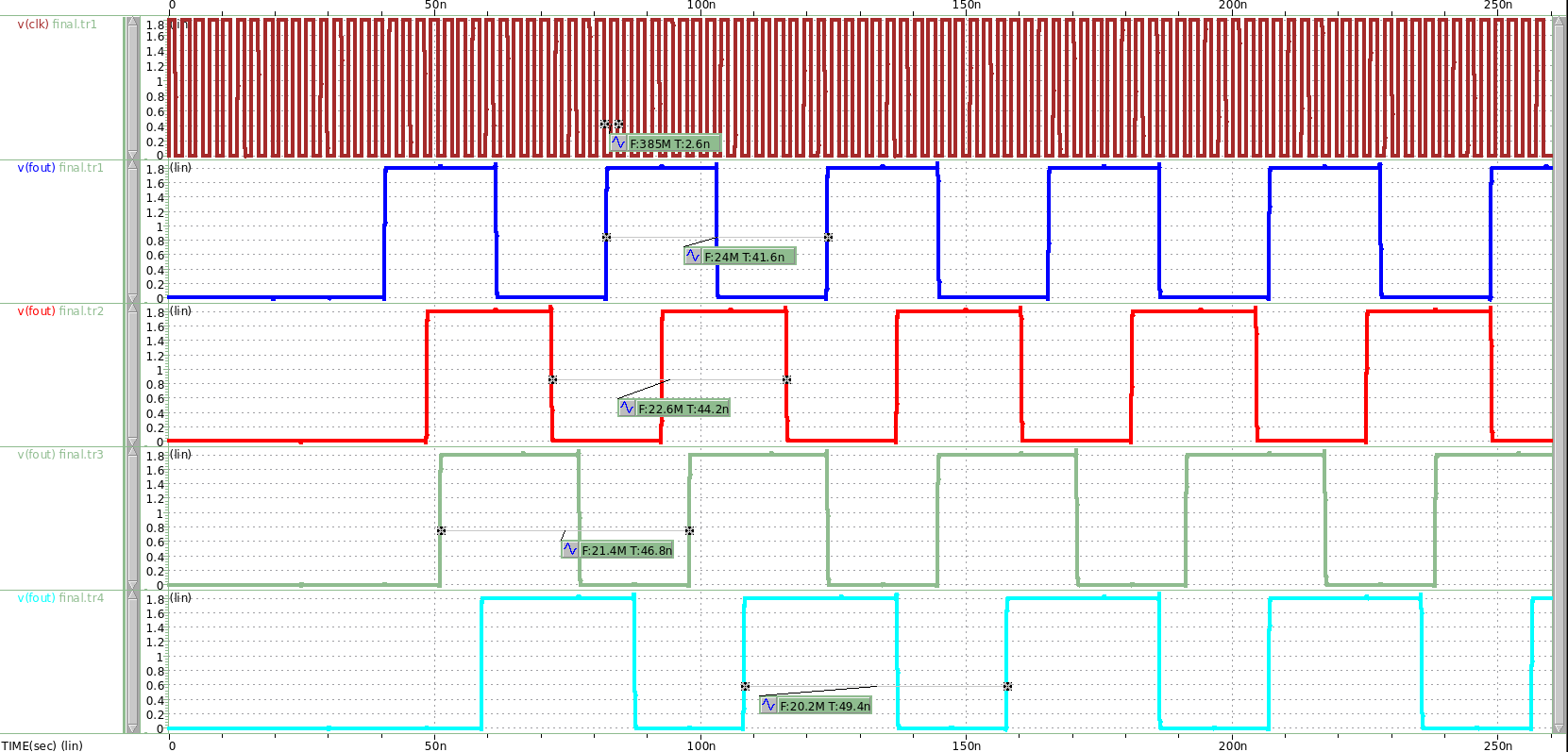


Fig pre-sim SF corner

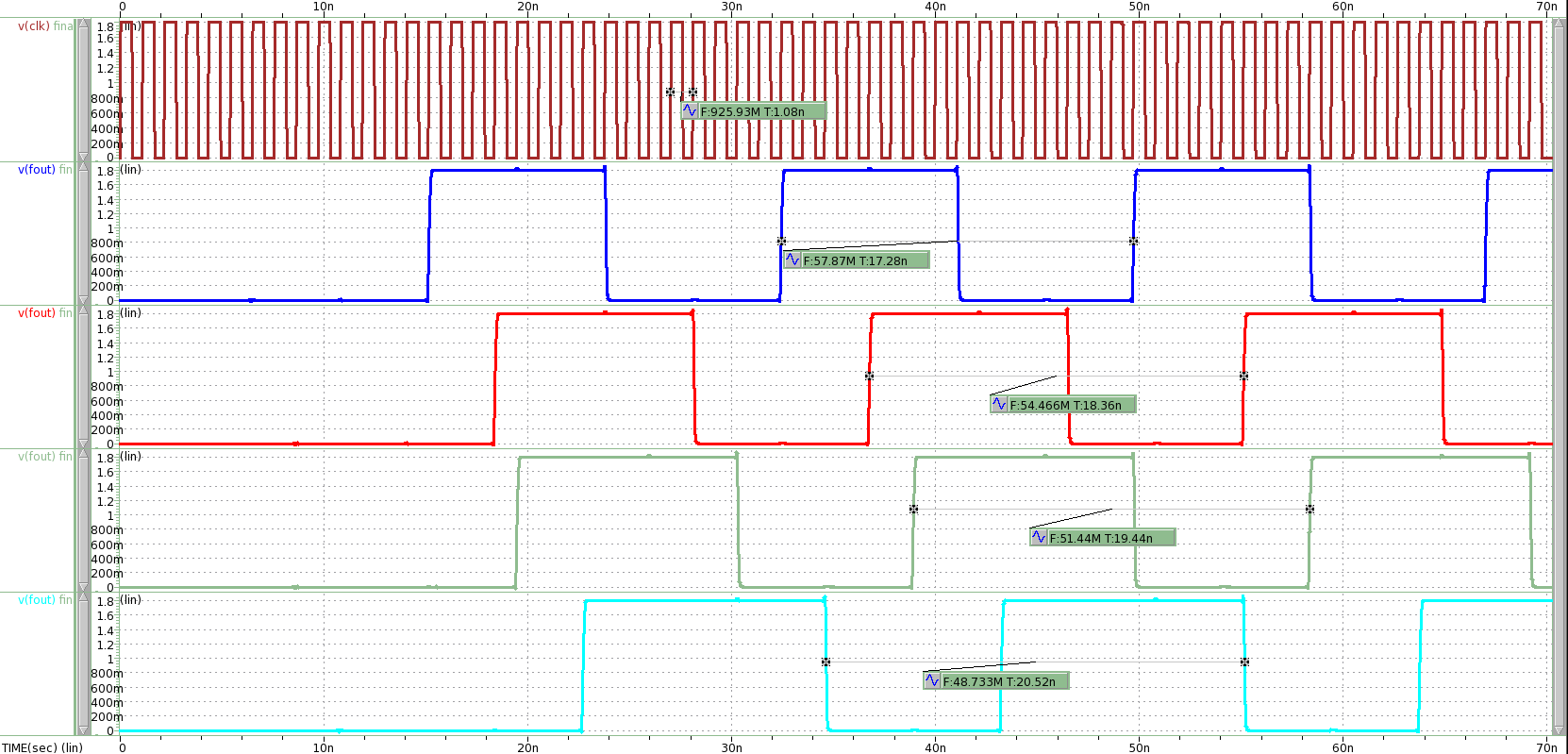


Fig pre-sim FS corner

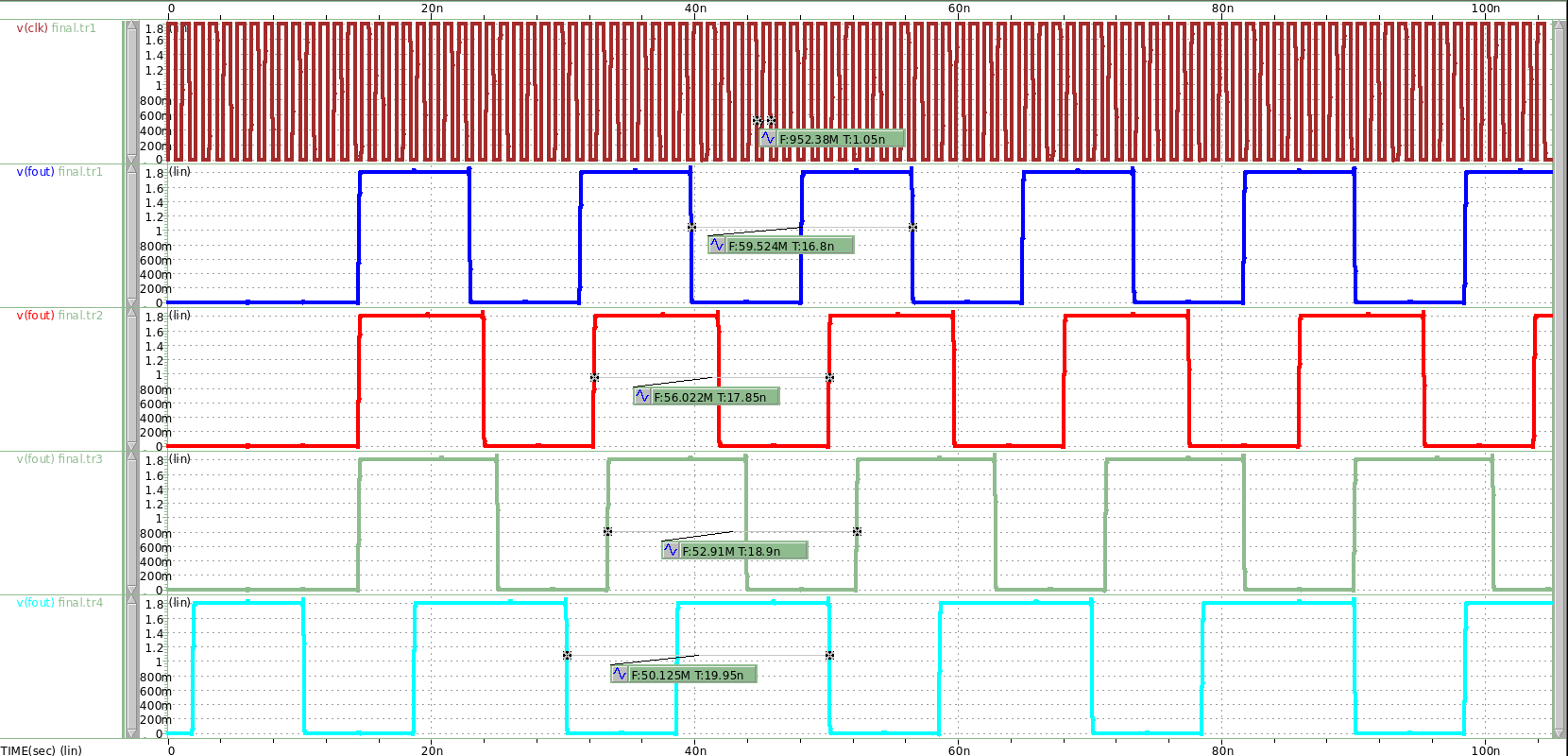


Fig pre-sim FF corner

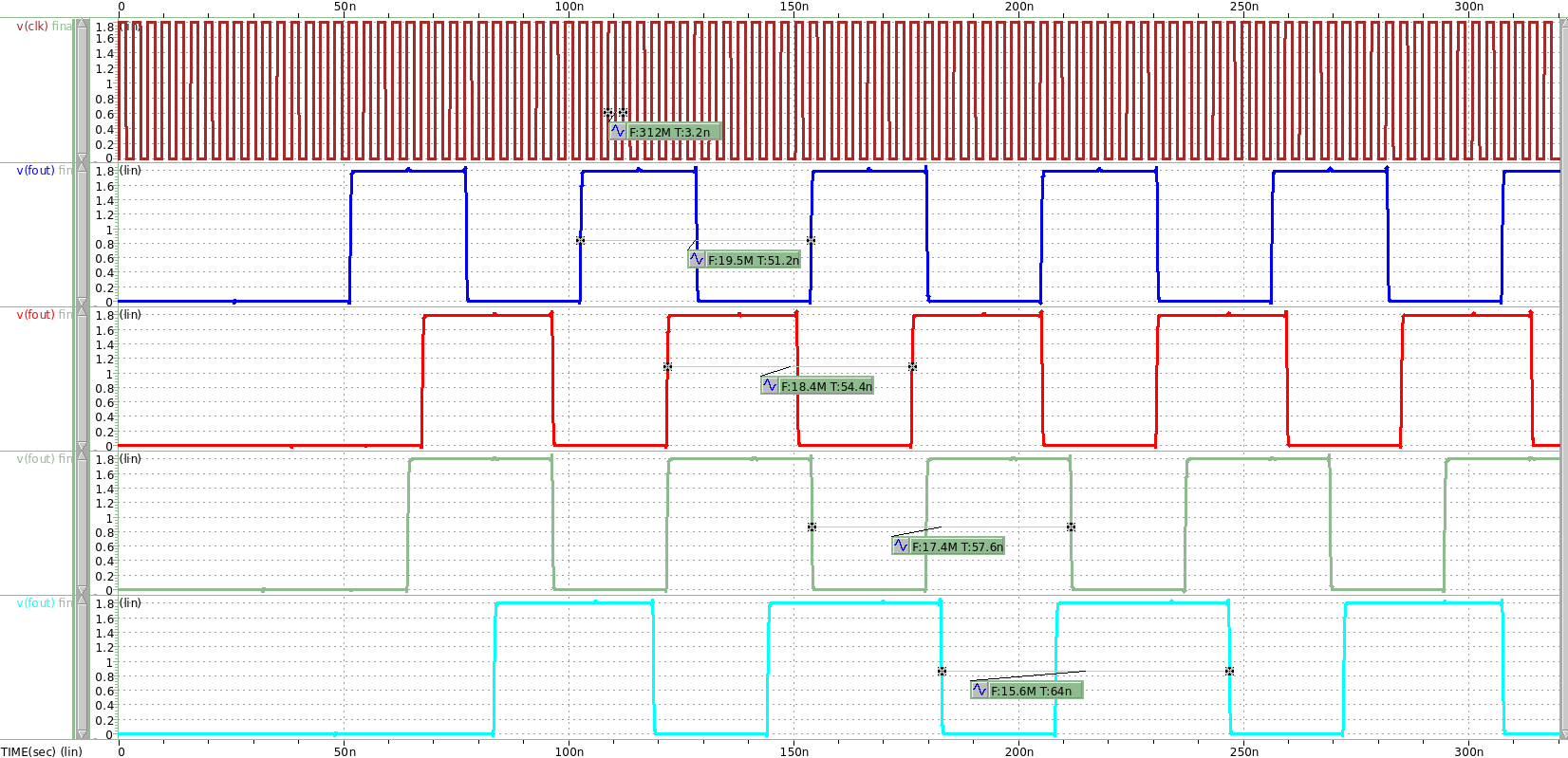
****

Fig pre-sim SS corner

**All Corners’ to different divider Frequency (MHz):**



**Post-sim:**

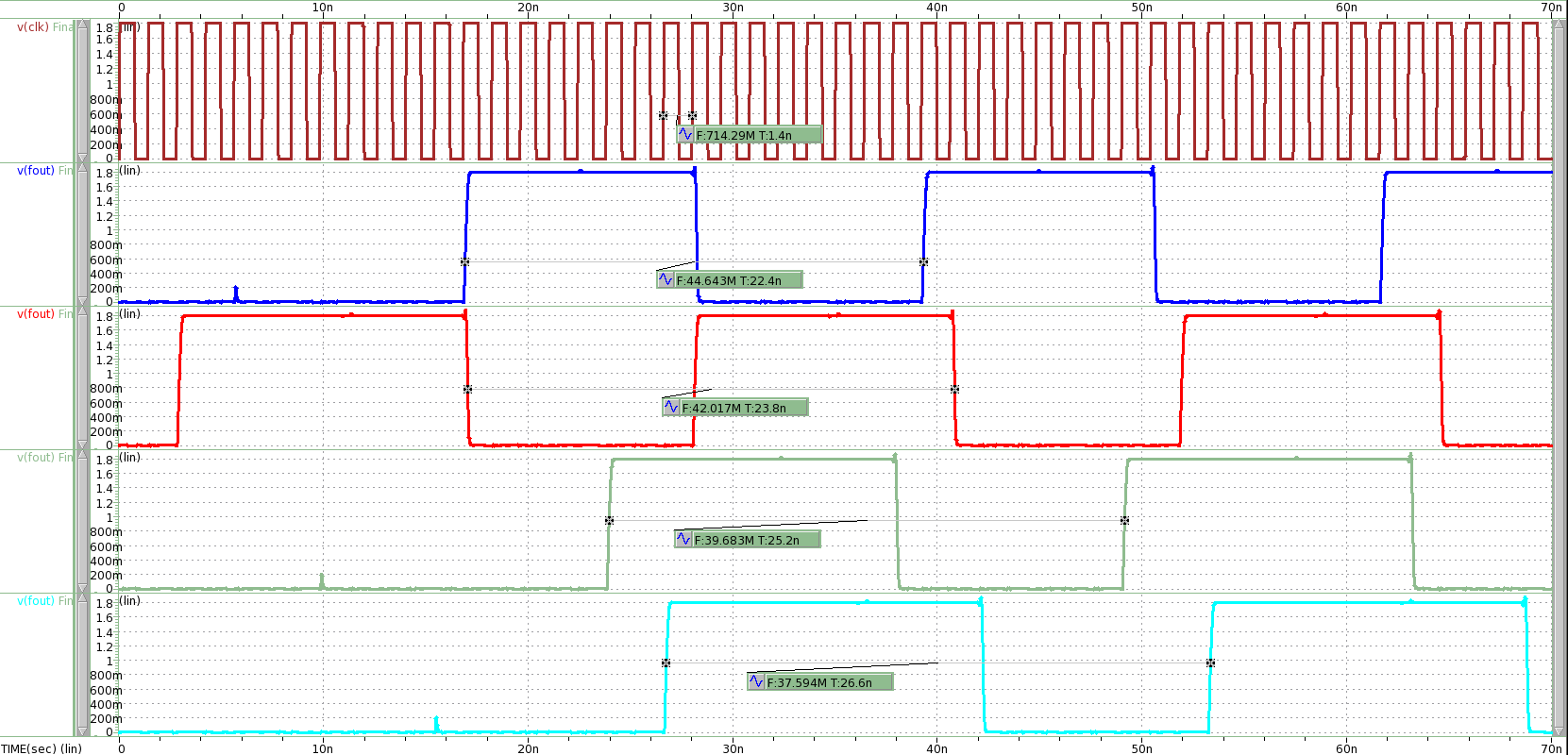


Fig post-sim TT corner

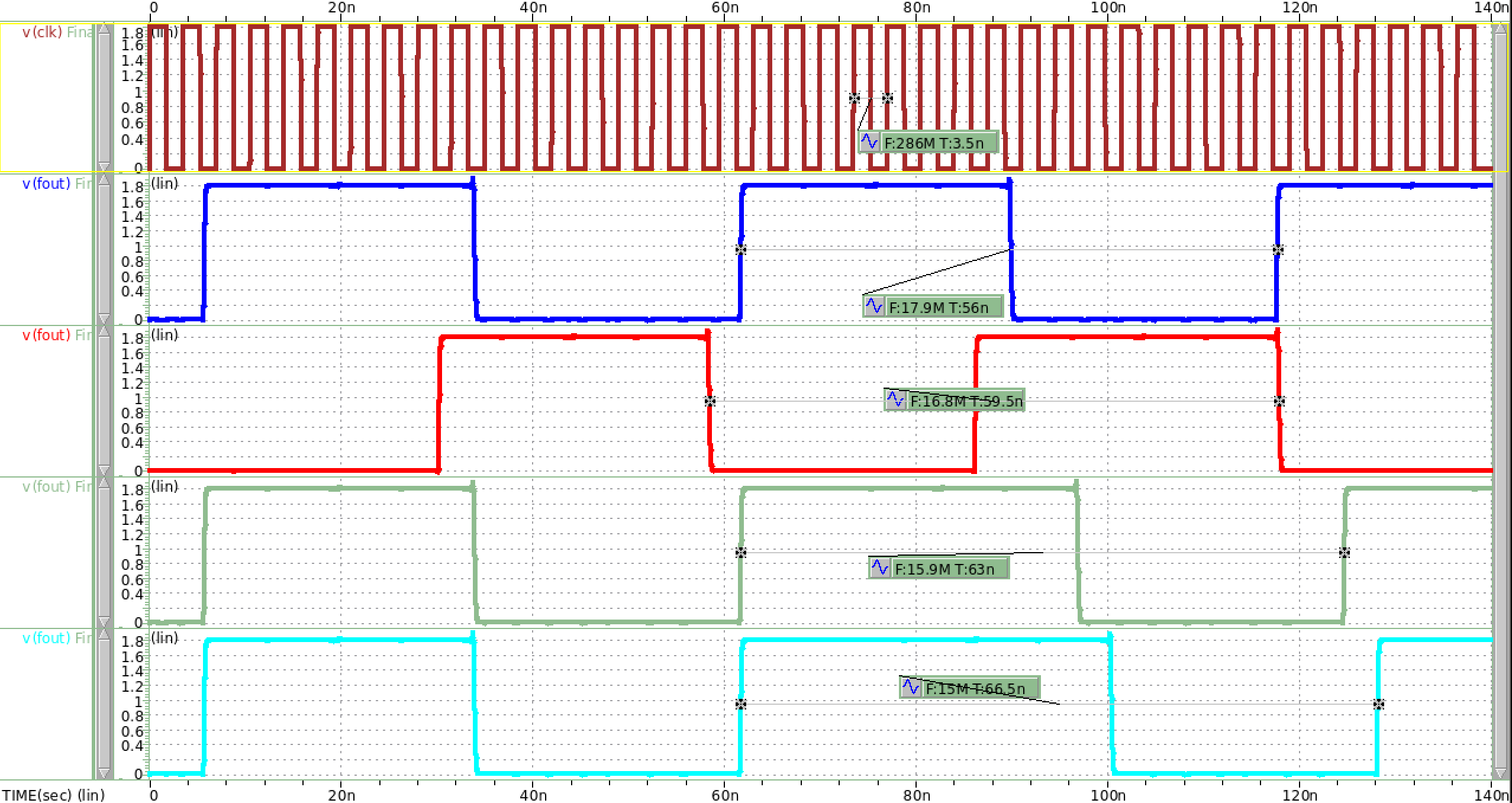


Fig post-sim SF corner

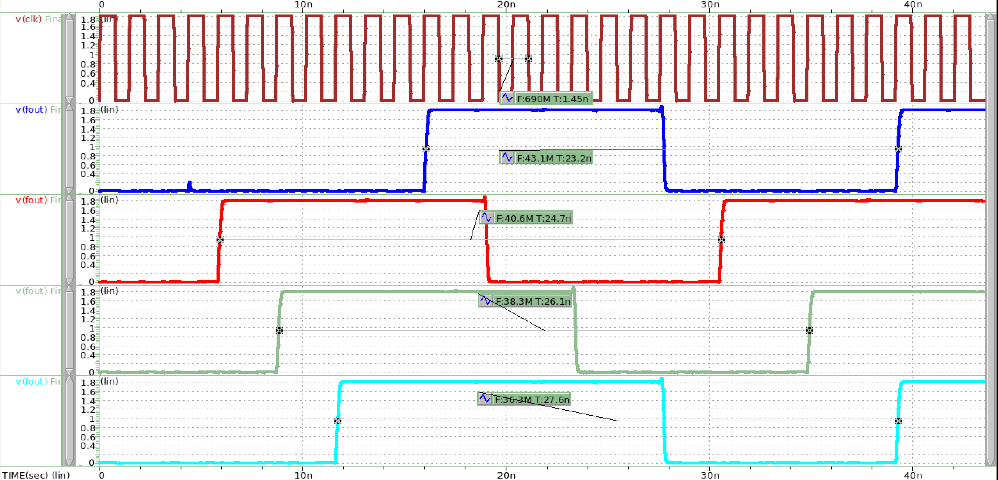


Fig post-sim FS corner

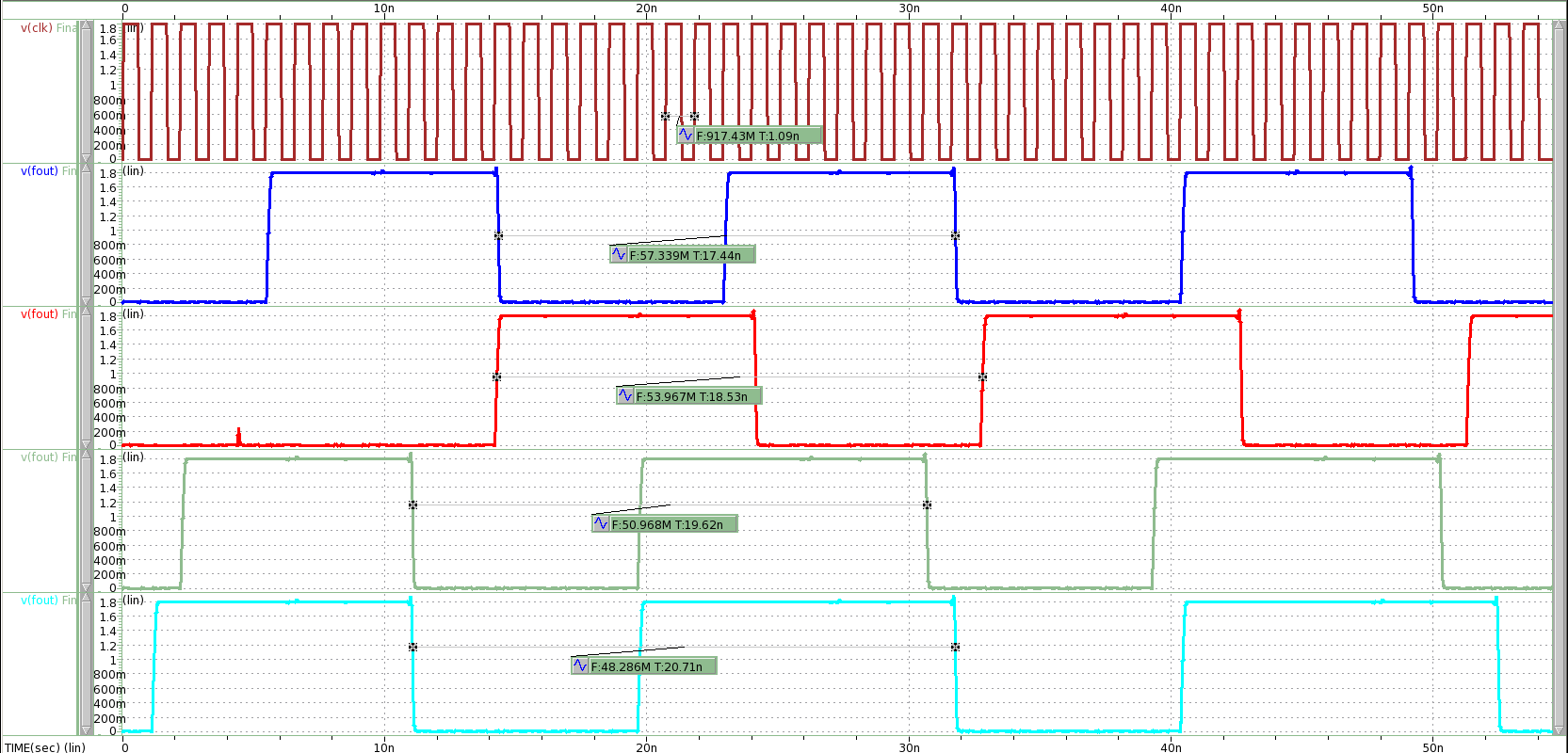


Fig post-sim FF corner

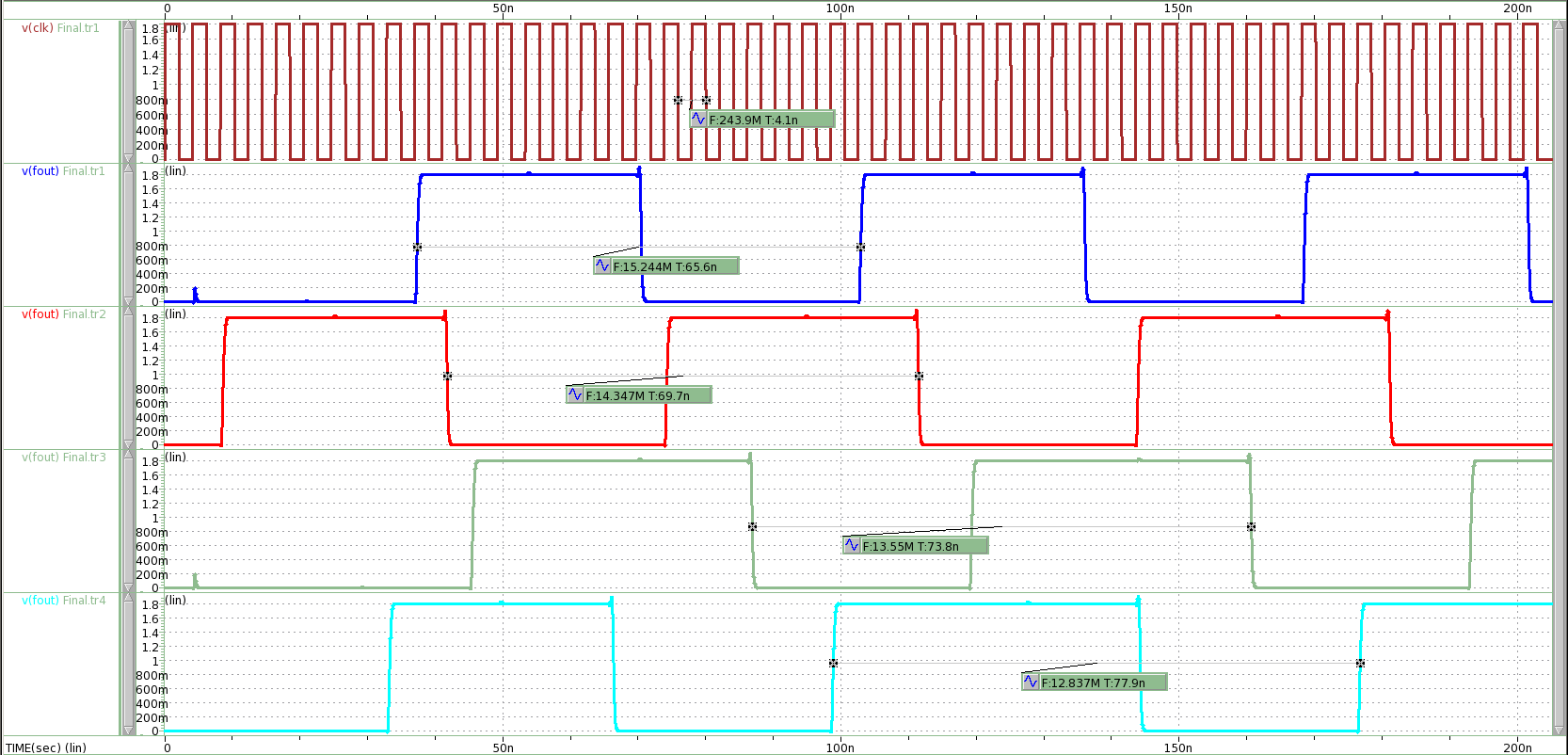


Fig post-sim SS corner

**All Corners’ to different divider Frequency(MHz):**



# Conclusion

本組花了四天完成專題，雖然電路功能可正常運作，但在跑模擬時，認為頻率太小，每個corner的頻率表現都有很大的進步空間，針對頻率這點改善方法，本組認為DFF的設計是關鍵，我們這次採用之前作業的D Flip-Flop電路，但實現DFF功能的電路有非常多種，TSPC、E-TSPC都是更好的選擇，若設計DFF時使用這些更快速的電路方案，頻率表現一定會有明顯的提升。

第二點改進的地方是Layout面積，造成面積過大的原因本組認為有兩個，第一個同樣是DFF的設計，我們使用的DFF電路不僅頻率較小，且電路相當大，用到的邏輯很多，意味著MOS數量肯定不會少，實際數據本組DFF Layout使用了20個MOS，相較之下TSPC只用了12個MOS即可實現，且有更優秀的頻率表現，所以若改善DFF電路設計，不僅在頻率表現有所提升亦可減少Layout面積。第二個改善Layout面積的方法同樣是電路設計，本組在使用DFF及AND gate的邏輯組合下完成一個可以實現除以2或3的除頻器，接著將此除頻器串接成四個，實現除以16、17、18、19的除頻器，串接四個是造成Layout面積最大的原因，因為做出除以2或3的除頻器後，其實可以靠加入其他邏輯去實現除以16、17、18、19的除頻器，不須再串聯成四個。

總結來說，**使用TSPC及使用一個除以2或3的除頻器與其他邏輯組合**

**，代替串連四個除以2或3的除頻器**，可以增加頻率亦可減少Layout面積，但有個tradeoff，功耗會稍微增加，因TSPC的速度快自然功耗會較大。不過在Layout的面積差距及頻寬表現上使用TSPC帶來的好處遠大於其功耗上付出的代價，套用本專題FoM，估計可以使FoM提升10倍以上。

這次在Layout時，本組決定盡可能畫出方正的Layout，也確實做到了，就美觀上而言表現還算滿意，且方正面積必為最小面積，前提是電路相同，若在設計電路時有更好的想法，再加上Layout排版的表現，肯定能做出一份擁有更好performance的專題。